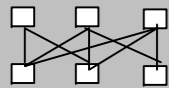


動的再構成技術の汎用プロセッサへの応用

動的再構成とは

□ がセルを示します。 □ は、命令により ■ 加算 ■ 乗算 などに機能を変更できます。

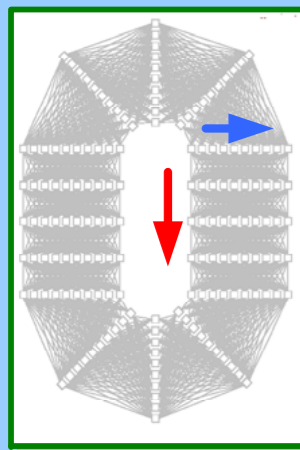
下図のように、セルを配置し、線で接続することで様々な計算を実行できます。



例えば、 $e=(a+b)+(c*d)$ という計算であれば、
 で e を求めることができます。

このように時々刻々と回路と接続を変化させて計算する技術を動的再構成技術と呼びます。

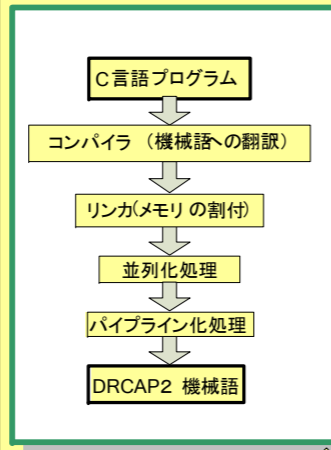
ハードウェア(DRCAP2)の開発



□ セル(演算器)
 — バス(配線)

半径方向=並列処理
 円周方向=逐次処理を示します。

ソフトウェア(コンパイラ)の開発



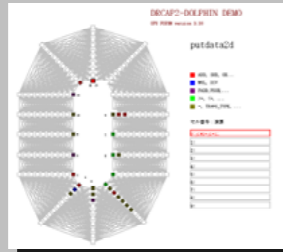
動的再構成技術を利用する場合、高級言語で書かれたプログラムをどのようにハードウェアに割り当てるかは非常に困難な問題です。本研究では、専用のコンパイラとリンクを開発し、並列化処理を追加して、自動的に専用の機械語に変換します。

両者を最適化しながら開発

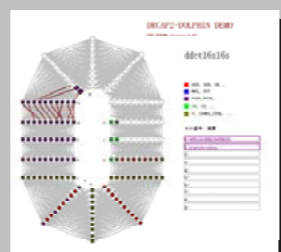
DRCAP2での処理の様子

ここでは、DCT(離散コサイン変換)という画像処理によく使うプログラムを用いてDRCAP2の動作例を示します。Cプログラムを開発したDRCAP2-Compilerで機械語に変換し、DRCAP2上での動作を視覚化しています。

並列処理化が困難な例 (putdata2d)
 セルに1個程度の演算がセットされ、それが逐次処理されます。



並列処理化された例 (shrt dct16)
 セルに多数の演算がセットされ、それが同時処理されます。



DRCAP2性能比較

サンプル 倍精度、16成分のDCTソース Cプログラム

プロセッサ	動作周波数	メモリ容量	OS	コンパイラ	クロック数
Core2Duo	2.4GHz	2GByte	WindowsXP SP2	Visual Studio.Net 2005	24723
DRCAP2-Dolphin (※)	-	-	-	DRCAP2-Compiler ver 3.30	1204

※動作シミュレーションによる測定結果

DRCAP2では、約20倍の高速化が可能

動的再構成技術のメディアプロセッサへの応用

[1] 動的再構成技術

近年のデジタルメディアの急激な拡大(携帯型音楽プレーヤー、携帯電話、デジタルTV放送など)に伴い、それを処理するデジタル集積回路にも、低消費電力化・高性能化が一層求められています。

それらの要求に応えるための新しいデジタル集積回路のアーキテクチャとして、「動的再構成技術」を用いた、動的再構成可能なプロセッサが提案されています。これは、プロセッサ内部の配線接続や演算器の設定が瞬時に変更可能で、必要に応じてプロセッサ上に様々な処理回路を生成することで処理を行っていくという、これまでに無い動作原理を持つプロセッサです。

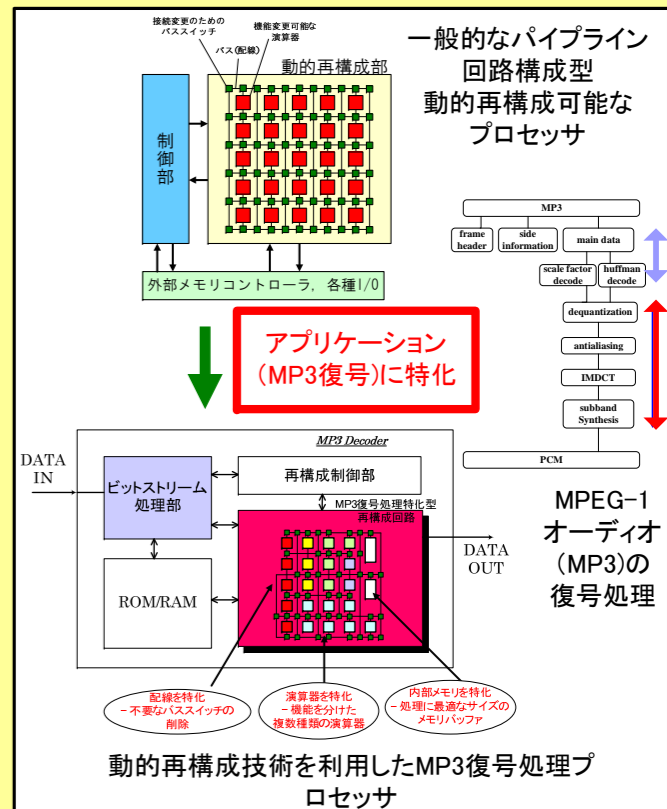
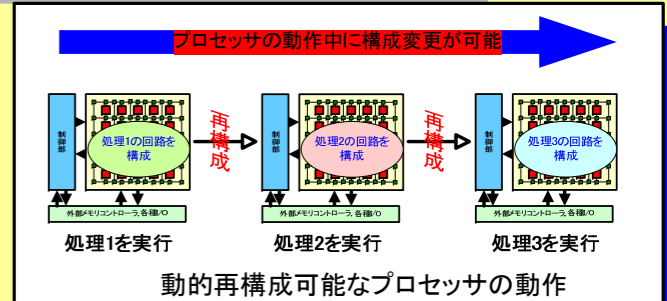
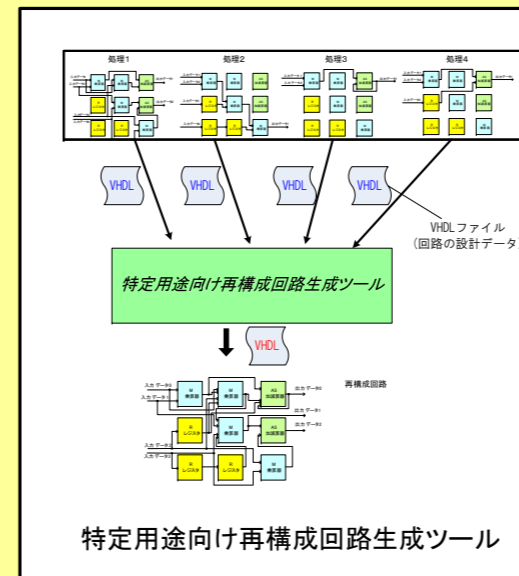
[2] 動的再構成技術を利用したメディア処理プロセッサの開発

当研究室では、この動的再構成技術を利用したメディア処理プロセッサの開発を行っています。

動的再構成部を目的の処理(デジタルデータの圧縮の規格であるMPEG符号・復号処理)に特化することで、小型化・低消費電力化を目指します。

この特化した再構成回路は、通常の専用LSIと同様にアプリケーション(使用目的)ごとに内部の構成が異なります。そのため、効率的な設計・開発が要求されます。

現在、再構成で実行したい各処理の設計データ(C言語プログラム、VHDLソース)から、最適化された動的再構成回路を自動的に生成する、「特定用途向け再構成回路生成ツール」を開発しています。



さらに柔軟性(構成変更性)を高めた、階層構成型のアーキテクチャについても検討を進めています。

